

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-123953

(43) 公開日 平成8年(1996)5月17日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 T 1/60				
G 0 6 F 12/06	5 4 0 E	7623-5B	G 0 6 F 15/ 64	4 5 0 B

審査請求 未請求 請求項の数 6 O L (全 15 頁)

(21) 出願番号 特願平6-257075

(22) 出願日 平成6年(1994)10月21日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 花見 充雄

兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社システムエル・エス・アイ開発研究所内

(72) 発明者 中川 伸一

兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社システムエル・エス・アイ開発研究所内

(74) 代理人 弁理士 深見 久郎 (外3名)

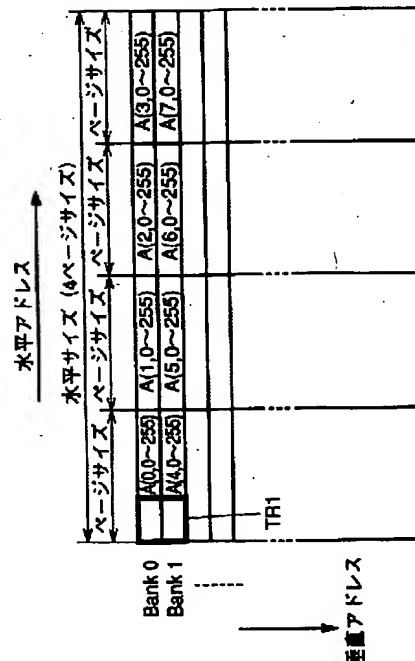
最終頁に続く

(54) 【発明の名称】 画像処理装置

(57) 【要約】

【目的】 画素データを高速に転送することができる画像処理装置を提供する。

【構成】 フィールド画面の垂直方向に配置された4列の画素に対応する4列の画素データごとに、フレームバッファメモリ7内の複数のバンクのうち異なるバンクに4列の画素データを記憶するとともに、4列の画素データのうち、垂直方向に隣接した4個の画素データを1つのデータブロックとして1つのアドレスを付与する。次に、バンクBank 0が書込動作にあるとき、バンクBank 1のプリチャージを行ない、また、バンクBank 1が書込動作にあるとき、バンクBank 0のプリチャージを行なうことにより、プリチャージ動作と書込動作とを並列に行なうことができ、書込時間が短縮され、画素データが高速に転送される。



【特許請求の範囲】

【請求項 1】 画面内の画素を規定するための画素データを記憶するための記憶手段を含み、
前記記憶手段は、
前記画素データを記憶するための複数のバンクと、
前記複数のバンクのうち所定のバンクをブリチャージするブリチャージ手段とを含み、
前記画面は、
フィールド画面を含み、
前記記憶手段は、
n 列（n は整数）の画素データごとに前記複数のバンクのうち異なるバンクに記憶するとともに、n 個の画素データに 1 つのアドレスを付与し、
前記 n 列の画素データは、
前記フィールド画面の第 1 方向に隣接して配置された n 列の画素に対応し、
前記 n 個の画素データは、
前記 n 列の画素のうち前記第 1 方向と交わる第 2 方向に隣接して配置された n 個の画素に対応し、
前記ブリチャージ手段は、
前記複数のバンクのうち 1 つのバンクが書込動作にあるとき、他のバンクのブリチャージを行なう画像処理装置。

【請求項 2】 前記複数のバンクは、
2 つのバンクを含み、
前記画像処理装置は、さらに、
前記画面の垂直および水平方向のアドレスを生成するアドレス生成器と、
前記アドレス生成器から出力される垂直方向のアドレスの最下位ビットに応じて、前記 2 つのバンクのうち一方を選択する選択手段とを含む請求項 1 記載の画像処理装置。

【請求項 3】 前記記憶手段は、
シンクロナスダイナミックランダムアクセスメモリを含み、
前記シンクロナスダイナミックランダムアクセスメモリは、ページモードを用いて前記画素データを記憶する請求項 2 記載の画像処理装置。

【請求項 4】 画面内の画素を規定するための画素データを記憶するための記憶手段を含み、
前記記憶手段は、
前記画素データを記憶するための複数のバンクと、
前記複数のバンクのうち所定のバンクをブリチャージするブリチャージ手段とを含み、
前記記憶手段は、
複数の画素データごとに前記複数のバンクのうち異なるバンクに記憶するとともに、複数の画素データに 1 つのアドレスを付与し、
前記複数の画素データは、
前記画面の第 1 方向に隣接して配置された複数の画素

に対応し、

前記複数の画素データは、
前記複数の画素のうち前記第 1 方向と交わる第 2 方向に隣接して配置された複数の画素に対応し、
前記ブリチャージ手段は、
前記複数のバンクのうち 1 つのバンクが書込動作にあるとき、他のバンクのブリチャージを行なう画像処理装置。

【請求項 5】 画面内の画素を規定するための画素データを記憶するための記憶手段を含み、
前記記憶手段は、
前記画面の第 1 方向に隣接して配置された複数の画素に対応する複数の画素データに 1 つのアドレスを付与し、
前記複数の画素データは、
同一フィールド内の画素データを含み、
前記記憶手段は、
前記画素データを転送する際、フィールド単位でデータ転送を行なう画像処理装置。

【請求項 6】 前記複数の画素データは、
前記画面の垂直方向に隣接した 4 個の画素に対応する 4 個の画素データを含み、
前記記憶手段は、
8 画素×4 画素から構成される 3 2 画素に対応した前記画素データを単位としてデータ転送を行なう請求項 5 記載の画像処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、画面内の画素を規定するための画素データを記憶するための記憶手段を含む画像処理装置に関し、特に、画像符号化処理に用いる画素データを記憶する画像データメモリを備える画像処理装置に関するものである。

【0002】

【従来の技術】従来より、画像データを圧縮および伸張するための国際標準規格の作成が、国際標準化機構（International Organization for Standardization；以下「ISO」という）、国際電信電話諮問委員会（International Telegraph and Telephone Consultative Committee；以下「CCITT」という、ただし、現在はITU-Tと改称）、国際電気標準会議（International Electrotechnical Committee；以下「IEC」という）により進められている。

【0003】国際標準規格の中で、JPEG規格は、ISOおよびCCITTによるJoint Photographic Expert Groupにより作成され、カラー静止画のための圧縮および伸張アルゴリズムを規定している。一方、MPEG規格は、ISOおよびIECのMoving Picture Expert Groupにより作成中であり、カラー動画のための圧縮および伸張アルゴリズムを規定している。さらに、H. 261規格は、CCITTにより作成中の規格であり、テ

レビ会議およびテレビ電話に適した圧縮および伸張アルゴリズムを規定している。

【0004】上記のJ P E G、M P E GおよびH. 2 6 1の各規格は、画像圧縮処理において、離散コサイン変換、量子化処理およびハフマン符号化処理を含んでいる。たとえば、カラー静止画処理のためのJ P E G規格は、基本システムとして、適応D C T処理、量子化処理ならびにD P C M処理およびハフマン符号化処理を含む。J P E G規格は、拡張システムとして、適応D C T処理および階層符号化処理ならびに算術符号化処理および適応ハフマン符号化処理を含む。また、動画像蓄積処理のためのM P E G規格は、動き補償／フレーム間予測処理、D C T処理、量子化処理およびハフマン符号化処理を含む。テレビ電話およびテレビ会議のためのH. 2 6 1規格は、動き補償処理／フレーム間予測処理、D C T処理、量子化処理およびハフマン符号化処理を含む。

【0005】上記の国際標準規格に従う画像処理用L S I、すなわち、画像処理装置の開発が進められており、以下、従来の画像処理装置について説明する。図17は、従来の画像処理装置のフレームバッファメモリのアドレスリングを説明するための画素データのレイアウト図である。

【0006】従来の画像処理装置では、上記の各処理を行なうための画素データを記憶するためにフレームバッファメモリを具備する。フレームバッファメモリは、合計32プレーンのメモリセルアレイを具備している。このメモリセルアレイでは、1つの行アドレスR Aおよび1つの列アドレスC Aが与えられるとき、各メモリセルアレイから1ビットのデータが読出される（または書込まれる）。したがって、1つの行アドレスR Aおよび1つの列アドレスC Aが与えられたとき、メモリセルアレイから合計32ビットのデータが読出される。一般に、1つの画素を示すのに8ビットのデータが必要とされる。したがって、合計32ビットのデータにより、4つの画素を示すことができる。言い換えると、1つの行アドレスR Aおよび1つの列アドレスC Aを与えることにより、4つの画素に対応する4つの画素データを扱うことができる。

【0007】以下、上記のフレームバッファメモリのアドレスリングについて説明する。図17では、縦16画素、横8画素の画素データをフレーム構成かつ縦4画素単位でフレームバッファメモリに格納する例を示している。図17を参照して、データブロックD 0～D 3 1の各々には、トップフィールドの画素データT F P 0およびT F P 1、ならびにボトムフィールドの画素データB F P 0およびB F P 1が交互に格納される。したがって、データブロックD 0～D 3 1には、トップフィールドの画素データT F Pとボトムフィールドの画素データB F Pが1列ごとに交互に格納される。上記のトップフィールドの画素データおよびボトムフィールドの画素デ

ータによりフレーム構成の画素データが構成される。

【0008】各データブロックD 0～D 3 1には、1つの行アドレスおよび1つの列アドレスが与えられる。たとえば、データブロックD 0には、行アドレスR Aおよび列アドレスC Aが与えられる。したがって、行アドレスR Aおよび列アドレスC Aが与えられると、フレームバッファメモリはデータブロックD 0に格納された4つの画素データを読み出し、または、4つの画素データをデータブロックD 0に書込む。

【0009】上記のように画素データがフレームバッファメモリに格納される場合、画素データの転送は以下のように行なわれる。まず、フレーム構成の画像データを転送する場合、たとえば、縦8画素×横8画素のフレーム構成の画素データが必要とされるとき、たとえば、データブロックD 0～D 1 5に格納された画素データが転送される。この場合、各データブロックD 0～D 1 5には、トップフィールドの画素データおよびボトムフィールドの画素データが格納されているので、必要な画素データのみを転送することができる。一方、フィールド構成のデータを転送する場合、たとえば、縦8画素×横8画素のフィールド構成の画素データが必要とするとき、データブロックD 0～D 3 1に格納された画素データを転送する必要がある。すなわち、フィールド構成の画素データの場合、トップフィールドの画素データまたはボトムフィールドの画素データの一方のみが必要とされるが、各データブロックには、トップフィールドの画素データおよびボトムフィールドの画素データが各々2画素データずつ格納されているため、不要な画素データまで転送する必要がある。したがって、フィールド構成の画素データを転送する場合、必要な画素データに対して2倍の画素データを転送していた。

【0010】

【発明が解決しようとする課題】上記の従来の画像処理装置では、フィールド構成の画素データを転送する場合、必要な画素データの2倍の画素データを転送する必要があり、画素データの転送速度が遅くなるという問題点があった。また、転送された画素データを受けるバッファメモリは、必要な画素データの2倍の画素データを格納できるメモリ容量を必要とするため、バッファメモリの容量が大きくなるという問題点もあった。

【0011】さらに、異なる行アドレスに跨がるデータの書込みを行なう際、数サイクルのプリチャージ期間が必要となり、データの転送時間が長くなるという問題点もあった。

【0012】本発明は、上記課題を解決するためのものであって、画素データを高速に転送することができる画像処理装置を提供することを目的とする。

【0013】本発明の他の目的は、画像処理に必要な画素データのみを転送することができる画像処理装置を提供することである。

【0014】本発明のさらに他の目的は、異なる行アドレスに格納された画素データを高速に転送することができる画像処理装置を提供することである。

【0015】

【課題を解決するための手段】請求項1記載の画像処理装置は、画面内の画素を規定するための画素データを記憶するための記憶手段を含み、上記記憶手段は、画素データを記憶するための複数のバンクと、複数のバンクのうち所定のバンクをブリチャージするブリチャージ手段とを含み、上記画面は、フィールド画面を含み、上記記憶手段は、 n 列(n は整数)の画素データごとに複数のバンクのうち異なるバンクに記憶するとともに、 n 個の画素データに1つのアドレスを付与し、上記 n 列の画素データは、フィールド画面の第1方向に隣接して配置された n 列の画素に対応し、上記 n 個の画素データは、 n 列の画素のうち第1方向と交わる第2方向に隣接して配置された n 個の画素に対応し、上記ブリチャージ手段は、複数のバンクのうち1つのバンクが書込動作にあるとき、他のバンクのブリチャージを行なう。

【0016】請求項2記載の画像処理装置は、請求項1記載の画像処理装置の構成に加え、上記複数のバンクは、2つのバンクを含み、上記画像処理装置は、さらに、画面の垂直および水平方向のアドレスを生成するアドレス生成器と、アドレス生成器から出力される垂直方向のアドレスの最下位ビットに応じて、2つのバンクのうち一方を選択する選択手段とを含む。

【0017】請求項3記載の画像処理装置は、請求項2記載の画像処理装置の構成に加え、上記記憶手段は、シンクロナスタイナミックランダムアクセスメモリを含み、上記シンクロナスタイナミックランダムアクセスメモリは、ページモードを用いて画素データを記憶する。

【0018】請求項4記載の画像処理装置は、画面内の画素を規定するための画素データを記憶するための記憶手段を含み、上記記憶手段は、画素データを記憶するための複数のバンクと、複数のバンクのうち所定のバンクをブリチャージするブリチャージ手段とを含み、上記記憶手段は、複数の画素データごとに複数のバンクのうち異なるバンクに記憶するとともに、複数の画素データに1つのアドレスを付与し、上記複数の画素データは、画面の第1方向に隣接して配置された複数の画素に対応し、上記複数の画素データは、複数の画素のうち第1方向と交わる第2方向に隣接して配置された複数の画素に対応し、上記ブリチャージ手段は、複数のバンクのうち1つのバンクが書込動作にあるとき、他のバンクのブリチャージを行なう。

【0019】請求項5記載の画像処理装置は、画面内の画素を規定するための画素データを記憶するための記憶手段を含み、上記記憶手段は、画面の第1方向に隣接して配置された複数の画素に対応する複数の画素データに1つのアドレスを付与し、上記複数の画素データは、同

一フィールド内の画素に対応する複数の画素データを含み、上記記憶手段は、画素データを転送する際、フィールド単位でデータ転送を行なう。

【0020】請求項6記載の画像処理装置は、請求項5記載の画像処理装置の構成に加え、上記複数の画素データは、画面の垂直方向に隣接した4個の画素に対応する4個の画素データを含み、上記記憶手段は、8画素 \times 4画素から構成される32画素に対応した画素データを単位としてデータ転送を行なう。

10 【0021】

【作用】請求項1ないし請求項3記載の画像処理装置においては、フィールド画面の第1方向に隣接して配置された n 列の画素に対応する n 列の画素データごとに複数のバンクのうち異なるバンクに n 列の画素データを記憶するとともに、 n 列の画素データのうち第1方向と交わる第2方向に隣接した n 個の画素に対応する n 個の画素データに1つのアドレスを付与しているため、1つのバンクが書込動作にあるとき、他のバンクをブリチャージ手段によりブリチャージすることができる。したがって、書込動作とブリチャージ動作とを並列に行なうことができ、画素データを高速に転送することができる。

20

【0022】請求項4記載の画像処理装置においては、画面の第1方向に隣接して配置された複数の画素に対応する複数の画素データごとに、複数のバンクのうち異なるバンクに複数の画素データを記憶するとともに、複数の画素データのうち前記第1方向と交わる第2方向に隣接した複数の画素に対応する複数の画素データに1つのアドレスを付与しているため、1つのバンクが書込動作にあるとき、他のバンクをブリチャージ手段によりブリチャージすることができる。したがって、書込動作とブリチャージ動作とを並列に行なうことができ、画素データを高速に転送することが可能となる。

【0023】請求項5および請求項6記載の画像処理装置においては、同一フィールド内の複数の画素データに1つのアドレスを付与し、フィールド単位でデータ転送を行なうため、画像処理に必要な画素データのみを転送することができる。

【0024】

【実施例】以下、本発明の一実施例の画像処理装置について図面を参照しながら説明する。図1は、本発明の一実施例の画像処理装置の構成を示すブロック図である。

【0025】図1を参照して、画像処理装置10は、ホストコンピュータ11との入出力のためのホストインタフェース(1/F)回路1、2つのプロセッサ(図示省略)を備えたコントロールユニット5、DCTおよび量子化のためのピクセルプロセッシングユニット6、動き予測(または検出)ユニット9、処理されるべき画素データを記憶するフレームバッファメモリ7、コードデータを記憶するバッファメモリ2、さまざまな変換処理において必要なテーブルデータを記憶するワークメモリ3、

50

7
 テレビカメラ13からの画像データを記憶し、および／または、記憶された画像データを表示装置（CRT）14に与えるための入出力メモリ4を含む。

【0026】ホストバスHBは、16ビット（図中「16b」により示す）のバス幅を有しており、ホストインタフェース回路1、コントロールユニット5、ピクセルプロセッシングユニット6、バッファメモリ2およびワークメモリ3の間のデータ転送のために設けられる。ピクセルデータバスPBは、32ビット（32b）のバス幅を有し、コントロールユニット5、ピクセルプロセッシングユニット6およびフレームバッファメモリ7の間のデータ転送のために設けられる。ローカルデータバスLBは、32ビット幅を有し、ピクセルプロセッシングユニット6、動き予測ユニット9およびローカルメモリ8の間のデータ転送のために設けられる。コードデータバスCBは、18ビット（18b）のバス幅を有し、コントロールユニット5およびピクセルプロセッシングユニット6のコードデータ転送のために設けられる。バッファメモリバスBBは、16ビット幅を有し、コントロールユニット5およびバッファメモリ2の間のデータ転送のために設けられる。入出力バスIOBは、16ビット（16b）のバス幅を有し、コントロールユニット5および入出力メモリ4の間のデータ転送のために設けられる。

【0027】ホストインタフェース回路1は、汎用ロジックLSI（ディスクリット）またはPLDまたはFPGAなどのようなプログラマブルロジックデバイスにより構成された論理回路を備えている。フレームバッファメモリ7は、主として、圧縮されるべき画素データおよび参照されるべき画素データを一時的に記憶するために設けられる。フレームバッファメモリ7として、SRAM（スタティックランダムアクセスメモリ）、DRAM（ダイナミックランダムアクセスメモリ）シンクロナスDRAMおよびキャッシュDRAM等のような大容量メモリが用いられる。

【0028】バッファメモリ2は、画像の符号化により与えられたビットストリームデータおよびラン／レベルデータを一時的に格納するために設けられる。バッファメモリ2は、FIFO（ファーストインファーストアウト）メモリにより構成されるが、場合により、DRAMまたはSRAMが用いられる。

【0029】ワークメモリ3は、DCT／逆DCTテーブルデータ、量子化／逆量子化テーブルデータ、可変長処理のためのハフマンテーブルデータ、コントロールユニット5およびピクセルプロセッシングユニット6における処理のためのプログラム（マイクロコード）、および初期設定用データなどを記憶するために設けられる。ワークメモリ3は、SRAMにより構成される。

【0030】入出力メモリ4は、テレビカメラ13および／または表示装置14のための画像データを記憶するために設けられる。入出力メモリ4は、ビデオRAMに

より構成される。

【0031】コントロールユニット2は、全体制御のためのマイクロプロセッサ（図示せず）と、可変調処理のためのプロセッサ（図示せず）とを備えている。全体制御のためのプロセッサは、画像圧縮におけるDCT、量子化および可変調符号化についてのパイプライン処理、ならびに画像伸張における可変長復号化、逆量子化および逆DCTのためのパイプライン処理を制御する。

10 【0032】ピクセルプロセッシングユニット3は、画像圧縮におけるDCTおよび量子化処理等の画素演算を実行し、一方、画像伸張において逆量子化処理および逆DCT処理等を実行する。

【0033】動き予測ユニット9は、片方向および両方向についてのフレーム間予測などのような動き検出処理を実行する。

20 【0034】上記の構成により、本実施例の画像処理装置では、バッファメモリ2および装置外部の通信装置12を経由してビットストリームデータが入出力される。バッファメモリ2には、コントロールユニット5に含まれる可変長プロセッサ（図示省略）により画素データを符号化して得られたビットストリームデータおよびラン／レベルデータが一時的に記憶される。したがって、ホストコンピュータ11を介さずに、ビットストリームデータのみのデータ転送を行なうことが可能となり、転送速度を向上することができる。

30 【0035】つまり、ホストコンピュータ11では、データ転送処理以外に命令制御等の複雑な処理が多く発生し、ホストコンピュータ11に対する負荷が重くなる。したがって、画像処理装置10の外部に通信装置12を備え、バッファメモリ2からホストコンピュータ11を介さず通信装置12へデータを転送することができ、ホストコンピュータ11の負荷に依存せず、データを高速に転送することが可能となる。

【0036】次に、図1に示すフレームバッファメモリ7についてさらに詳細に説明する。図2は、図1に示すフレームバッファメモリにおけるメモリセルアレイの基本構成図である。

40 【0037】図2を参照して、フレームバッファメモリは、合計32プレーンのメモリセルアレイ701ないし732を備えている。1つの行アドレスRAおよび1つの列アドレスCAが与えられたとき、各メモリセルアレイ701ないし732から1ビットのデータが読出される（または書込まれる）。たとえば、行アドレスRA1および列アドレスCA1が与えられたとき、メモリセルアレイ701ないし732から合計32ビットのデータが読出される。

50 【0038】一般に、1つの画素を示すのに、8ビットのデータが必要とされる。したがって、合計32ビットのデータにより、4つの画素PC1ないしPC4のための画素データを扱うことができる。

【0039】次に、フレームバッファメモリの一例としてシンクロナスDRAMを用いた場合について説明する。図3は、シンクロナスDRAMを用いたフレームバッファメモリのシステム構成図である。

【0040】図3を参照して、フレームバッファメモリ7は、合計32のプレーンに分かれたメモリセルアレイ701ないし732を備えたSDRAMにより構成される。コントロールユニット5内部に具備された全体制御プロセッサ51は、フレームバッファメモリ7をアクセスするためのアドレス信号ADR(RA、CA)を生成するアドレス生成部52を備える。アドレス生成部52は、アドレス信号ADRとして行アドレス信号RAおよび列アドレス信号CAをアドレスバッファABを介してフレームバッファメモリ7に与えられる。アクセスされるべきデータは、ビクセルデータバスPBを介してフレームバッファメモリ7に与えられる。全体制御プロセッサ51は、アドレス信号ADRを発生するためのシステムクロック信号φ_{sc}をアドレス生成部52に与える。

【0041】動作において、全体制御プロセッサ51は、ストアされたプログラムに従って、アドレス生成部52を起動する。アドレス生成部52は、システムクロック信号φ_{sc}にตอบสนองして、フレームバッファメモリ7内のシンクロナスDRAMをアクセスするためのアドレス信号ADRを出力する。アドレス生成部52は、以下に記載する方法により行アドレス信号RAおよび列アドレス信号CAを生成する。

【0042】図4は、シンクロナスDRAMを用いたフレームバッファメモリのブロック図である。図4を参照して、フレームバッファメモリ7は、制御回路741と、メモリセルアレイ701ないし732を含む。各メモリセルアレイ701ないし732は、SDRAMの場合、2つのバンクBank0およびBank1に分けられている。各メモリセルアレイ701ないし732に対応して、センスアンプ742、入出力バッファ743およびブリチャージ回路744が設けられる。バンクBank0およびBank1のうち一方が書込動作にあるとき、ブリチャージ回路744により他方のバンクがブリチャージされる。書込動作にあるバンクには、入出力バッファ743およびセンスアンプ742を介してデータが書込まれる。したがって、メモリセルアレイ701ないし732に対して32ビットのデータPD1ないしPD32が読出しまたは書込みされる。制御回路741は、アドレス信号ADRおよび制御信号Scを受け、メモリセルアレイ701ないし732をアクセスするための制御信号を発生する。

【0043】図5は、DRAMを用いたフレームバッファメモリのブロック図である。DRAMを用いた場合、メモリセルアレイは1つのメモリセルアレイとなる。この場合、各メモリセルアレイをバンクとして使用することにより、図4に示すシンクロナスDRAMを用いたフ

レームバッファメモリと同様に動作させることができる。

【0044】次に、図3に示すアドレス生成部についてさらに詳細に説明する。図6は、図3に示すアドレス生成部のブロック図である。

【0045】図6を参照して、アドレス生成部は、設定バンクアドレスレジスタ501、オフセットアドレスレジスタ502、マクロブロック位置レジスタ503、動きベクトルレジスタ504、ページサイズレジスタ505、水平サイズレジスタ506、アドレス生成器507、垂直アドレスレジスタ508、水平アドレスレジスタ509、出力制御部510、セクタ511、インバータ512、バンクアドレスレジスタ513、行アドレスレジスタ514、列アドレスレジスタ515を含む。

【0046】アドレス生成器507には、オフセットアドレスレジスタ502からオフセットアドレスが入力され、マクロブロック位置レジスタ503からマクロブロック位置データが入力され、動きベクトルレジスタ504から動きベクトルデータが入力され、ページサイズレジスタ505からメモリのページサイズデータが入力され、さらに、水平サイズレジスタ506から画像の水平サイズデータが入力される。アドレス生成器507は、入力した各データを基に、垂直アドレスおよび水平アドレスを生成し、垂直アドレスレジスタ508および水平アドレスレジスタ509に格納する。出力制御部510には、垂直アドレスレジスタ508から垂直アドレスが入力され、水平アドレスレジスタ509から水平アドレスが入力され、ページサイズレジスタ505からメモリのページサイズデータが入力され、さらに、水平サイズレジスタ506から画像の水平サイズデータが入力される。出力制御部510は、入力した各データを基に、行アドレスおよび列アドレスを生成し、行アドレスレジスタ514に行アドレスを格納し、列アドレスレジスタ515に列アドレスを格納する。一方、セクタ511には、設定バンクアドレスレジスタ501から設定バンクアドレスが入力され、垂直アドレスレジスタ508から垂直アドレスの最下位ビットの値が入力され、さらに、インバータ512を介して垂直アドレスの最下位ビットの反転値が入力される。セクタ511は、入力した各データを基に、バンクアドレスを生成し、バンクアドレスレジスタ513に格納する。

【0047】上記の動作により、アドレス生成部では、行アドレスおよび列アドレスを生成するとともに、複数のバンクのうち所定のバンクを選択するためのバンクアドレスを生成することができる。

【0048】本実施例の画像処理装置では、画面上で水平および垂直方向の16画素または8画素から構成される矩形領域に対応した画素データを1つの処理単位としている。このため、上記フレームバッファメモリにおける画素データの転送に関しても、水平および垂直方向に

16画素または8画素から構成される矩形領域を単位としてデータ転送が行なわれる。したがって、画像の各成分(輝度成分、色差成分)に対して2次元アドレッシングを行なった場合、予測画像領域の画素データの転送を行なう際、動きベクトルを用いてアドレスを容易に生成することができる。

【0049】また、本実施例において、シンクロナスDRAMを用いた場合、以下の特徴がある。シンクロナスDRAMは、同一行アドレス内では、許容範囲のクロックに同期して、連続してデータの書き込みまたは読出しを行なうことができる。一方、同一バンク内の異なる行アドレスに跨がる書き込みを行なう場合、ある行アドレス内の最終のデータ書き込みから次の行アドレス内の最初のデータ書き込みまでに、数サイクルのブリチャージ期間が必要となる。しかし、バンクの異なる行アドレスに跨がる書き込みを行なう場合、あるバンクの行アドレス内の最初のデータ書き込みに対して異なるバンクの行アドレス内の最初のデータ書き込みは連続して行なうことが可能である。このとき、元のバンクの行アドレス内へ再度書き込みを行なう場合、元のバンクへの書き込み終了から数サイクルのブリチャージ期間が過ぎていれば、シンクロナスDRAMは連続して動作することができる。また、データ読出しに関しては、一度の読出命令に対するデータの出力に要する時間が、使用するシンクロナスDRAMのリードサイクルタイムの最小値以上であれば、バンクに関係なく常に異なる行アドレスに跨がる読出動作が連続して可能となる。

【0050】以下、上記の画像符号化の特徴およびシンクロナスDRAMの特徴を利用したフレームバッファメモリのアドレッシング方法について説明する。図7は、図1に示すフレームバッファメモリの第1のアドレッシング方法を説明するための図である。

【0051】図7に示すアドレッシング方法では、1つの行アドレスおよび1つの列アドレスにより表される1つのアドレスに対してフィールド画面の垂直方向の4画素に対応する4個の画素データすなわち、32ビットのデータが格納される。図中、A(RA, CA)は、行アドレスRAおよび列アドレスCAで表されるアドレスを示しており、たとえば、A(0, 0~255)は、行アドレスRA0および列アドレスCA0~255で特定される画素データに対応する。すなわち、垂直方向に4画素および水平方向256画素から構成される画素に対応する画素データに対応する。

【0052】フィールド画面の水平方向のサイズは、4ページサイズである。ページサイズは、シンクロナスDRAMの列アドレスの範囲を規定するものである。本実施例では、たとえば、列アドレスが8ビットで表現されると、ページサイズは256ワードとなる。したがって、フィールド画面上の水平方向において、フレームバッファメモリ上で4行アドレス分すなわち4ページサイ

ズのアドレス空間が1データ行となる。また、上記データ行を水平方向に積重ねて、フィールド画面上で2次元アドレスを構成している。したがって、フィールド画面の垂直方向においては、1データ行ごとに4行アドレスずつ行アドレスが増加する。たとえば、アドレスA(0, 0~255)の下アドレスは、A(4, 0~255)となり、行アドレスRA0の領域の下領域には、行アドレスRA4の画素データが格納される。また、フレームバッファメモリ上では、4行アドレスごと(画面上の1垂直アドレスごと)にバンクのアドレスを切替えている。すなわち、最上の1データ行の画素データはバンクBank0に記憶され、次の1データ行の画素データはバンクBank1に格納される。以降同様に、1データ行ごとに、バンクBank0およびBank1に交互に記憶される。

【0053】上記のようなアドレッシング方法により画素データがフレームバッファメモリ上に割付けられた場合、たとえば、転送矩形領域TR1を単位として画素データの転送が行なわれる。図8は、図7に示す転送矩形領域の拡大図である。

【0054】図8を参照して、転送矩形領域TR1は、上記のように構成された2次元アドレス空間に対して、水平および垂直8画素データのブロックから構成される。たとえば、行アドレスRA0および列アドレスCA0で特定される画素データは垂直方向に並んだ4つの画素データであり、この4つの画素データが1つのデータブロックとして同時に転送される。また、4行の画素データは同一の行アドレス、たとえば、行アドレスRA0で特定され、水平方向において1画素ごとに列アドレスがインクリメントされ、たとえば、左端の画素データの列アドレスはCA0となり、以降、1画素データごとに列アドレスがCA1、CA2、...というように1つずつ増加する。また、上4行の画素データ(図8中斜線のない丸印で示す画素データ)は、バンクBank0に格納され、下4行の画素データ(図8中斜線の丸印で示す画素データ)は、バンクBank1に格納される。したがって、図8に示す転送矩形領域の画素データをフレームバッファメモリに書き込む場合、まず、バンクBank0に画素データの書き込みを行なっている間に、バンクBank1をブリチャージする。通常、ブリチャージ時間は書込時間より短く、バンクBank0の書込動作が終わるまでに、バンクBank1のブリチャージ動作は終了する。したがって、行アドレスRA0を指定し、列アドレスをCA0からCA7まで順次増加させることにより、バンクBank0に4画素データ単位で連続してデータを書き込むことが可能となる。また、書込動作中に、バンクBank1のブリチャージ動作は終了しているので、バンクBank0の書込動作終了後、直ちに、バンクBank1の書込動作を行なうことができる。すなわち、行アドレスRA4を指定するとともに、書込動作の

バンクをバンクBank 1に指定し、列アドレスをCA 0からCA 7まで順次増加させることにより、4画素データを連続してバンクBank 1に書込むことができる。したがって、上記のように、1つの行アドレスで指定される画素データごとにバンクを切替えることにより、一方のバンクの書込動作中に他方のバンクのブリチャージを行なうことができ、データ転送の時間を短縮することが可能となる。

【0055】次に、フレームバッファメモリとして、8つのプレーンを具備するフレームバッファメモリを用いた場合のアドレッシング方法について説明する。8つのプレーンを用いた場合、8ビットのデータが1つの行アドレスおよび1つの列アドレスにより指定される。したがって、1つの行アドレスおよび1つの列アドレスを指定することにより1画素に対応する1画素データの読出または書込みを行なうことが可能となる。図9は、図1に示すフレームバッファメモリの第2のアドレッシング方法を説明するための図である。

【0056】図9を参照して、1つの行アドレスおよび1つの列アドレスにより示される1つのアドレスに対して1画素に対応する1画素データ（8ビットのデータ）がフレームバッファメモリに格納される。この場合、フィールド画面の水平サイズは、たとえば、2ページサイズとなる。したがって、たとえば、列アドレスが8ビットで表現されたとすると、フレームバッファメモリの列アドレスは、0～255で表され、ページサイズは256ワードとなる。ここでも、1つの水平サイズ分のアドレス空間を規定するものとして、1データ行を定義する。図9では、水平サイズを2ページサイズとしているので、フィールド画面上の水平方向に対応して、フレームバッファメモリ上では、2行アドレス分すなわち2ページサイズ分のアドレス空間を1データ行としている。フレームバッファメモリでは、垂直方向に上記1データ行を積重ねて2次元アドレスを構成している。したがって、垂直方向においては、行アドレスは2ずつ増加する。たとえば、アドレスA（0、0～255）で表される画素データのすぐ下の画素データのアドレスは、A（2、0～255）で表される。このとき、フレームバッファメモリ上では、2行アドレスごと（フィールド画面上で1垂直アドレスごと）にバンクアドレスを切替えている。上記のような2次元アドレス空間に対して、画素データは、たとえば、水平および垂直8画素から構成される転送矩形領域を単位として転送される。図10は、図9に示す転送矩形領域TR2を単位として転送される。図10は、図9に示す転送矩形領域の拡大図である。

【0057】図10を参照して、各画素データごとに1つの行アドレスおよび1つの列アドレスが付与される。たとえば、左上の画素データは、行アドレスRA 0および列アドレスCA 0により特定される。水平方向におい

て、列アドレスは1画素データごとに1ずつ増加する。たとえば、行アドレスRA 0および列アドレスCA 0で特定される画素データの右隣の画素データは、行アドレスRA 0および列アドレスCA 1により特定される。また、垂直方向には、1つの画素データごとに行アドレスが2ずつ増加する。たとえば、行アドレスRA 0および列アドレスCA 0で特定される画素データの下隣の画素データは、行アドレスRA 2および列アドレスCA 0で特定される。したがって、水平方向に1列に並んだ8つの画素データは同一の行アドレスにより特定される。水平方向に並んだ8つの画素データごとにバンクが切替えられ、たとえば図10に示す例では、行アドレスRA 0、RA 4、RA 8、RA 12で特定される画素データがバンクBank 0に格納され、行アドレスRA 2、RA 6、RA 10、RA 14で特定される画素データがバンクBank 1に格納される。したがって、水平方向に並んだ8つの画素データの書込みを行なっているときに、フィールド画面上で隣接した直下の水平方向に並んだ8つの画素データをブリチャージすることができる。この結果、書込動作とブリチャージ動作とを並行して行なうことができるので、データ転送時間が短縮される。

【0058】上記各アドレッシング方法では、画素データは、1つの方向（水平または垂直方向）には8画素単位または16画素単位で1つのページ内に書込まれ、かつ、フレームバッファメモリの1つのページは、2のべき乗のアドレス空間を持つ。したがって画素データの区切れとページの区切れとが一致し、同じバンクアドレス内の2つのページに跨がって連続的にデータを書込むことができない。この結果、画像データを連続して書込むことができないので、画素データを高速に転送することが可能となる。

【0059】次に、上記のアドレッシング方法によるフレームバッファメモリの書込動作について説明する。図11は、図1に示すフレームバッファメモリの第1の書込動作を説明するためのフローチャートである。以下の説明では、図7および図8に示すアドレッシング方法を用いた場合のフレームバッファメモリの書込動作について説明する。また、図11に示すステップS1～S6は、バンクBank 0の動作を示し、ステップS7～S12は、バンクBank 1の動作を示している。また、並列に書かれたステップはバンクBank 0およびBank 1で同時に行なわれるステップを示しており、たとえば、ステップS3およびS4は、ステップS8と並列に行なわれる。

【0060】まず、ステップS1において、スタートアドレスの設定が行なわれる。すなわち、バンクBank 0において、図8に示す上半分の32個の画素データの行アドレスRA 0を設定する。

【0061】次に、ステップS2において、書込コマンドを設定し、クロックに同期してデータを入力する。た

10

20

30

40

50

例えば、列アドレスを設定するタイミングで、書込コマンドを設定し、図8に示す左端の4つの画素データをバンクBank 0に書込む。続いて、クロックに同期して、左端から順に4つの画素データごとにバンクBank 0に書込む。これと同時に、ステップS 7において、スタートアドレスの設定を行なう。たとえば、バンクBank 1において、図8に示す下半分の32個の画素データの行アドレスRA 4を設定する。

【0062】次に、ステップS 8において、バンクBank 1において、書込コマンドの設定およびクロックに同期したデータの入力を行なう。たとえば、図8に示す上半分の画素データのうち右端の4つの画素データを書込んだ後、次のサイクルで、列アドレスCA 0およびバンクBank 1の書込コマンドを設定し、図8に示す下半分の画素データのうち左端の4つの画素データをバンクBank 1に書込む。続いて、クロックに同期して左端から順に図8に示す下半分の画素データをバンクBank 1に書込む。このとき、バンクBank 0では、ステップS 3において、ブリチャージ動作が行なわれている。たとえば、バンクBank 1の書込動作中に、バンクBank 0のブリチャージ動作が実行されることになる。

【0063】次に、バンクBank 0において書込動作を継続する場合、ステップS 4において、スタートアドレスの設定が行なわれる。たとえば、バンクBank 0に対して、図7に示す転送領域TR 1の下領域に含まれる左端の4つの画素データの行アドレスを設定する。このステップS 4の処理も、ステップS 8と並列に行なわれる。

【0064】以降、ステップS 5およびS 6において、ステップS 2およびS 3と同様の処理が行なわれ、ステップS 5と並行して、バンクBank 1側では、ステップS 3およびS 4と同様にステップS 9およびS 10が行なわれる。また、ステップS 6と並行して、ステップS 11が行なわれ、次に、ステップS 12が行なわれる。上記のように、本実施例のフレームバッファメモリでは、一方のバンクの書込動作と並行して、ブリチャージ動作およびスタートアドレスの設定が行なわれるため、画面上において連続した画素に対応する画素データを連続して読出す場合でも、書込動作に要する時間のみが必要となり、データ転送を高速に行なうことが可能となる。

【0065】次に、フレームバッファメモリの第2の書込動作について説明する。第2の書込動作では、フレームバッファメモリのページモードを用いて書込動作を行なう。ここで、ページモードとは、1つの行アドレスを指定し、次に、列アドレスを自動的に順次変化させ、連続的に画素データを読出すモードをいう。図12は、図1に示すフレームバッファメモリの第2の書込動作（ページモードによる書込動作）を説明するためのフローチ

ャートである。図12中のステップS 21～S 26は、バンクBank 0の動作を示しており、ステップS 27～S 30は、バンクBank 1の動作を示している。また、並列に表示された各ステップは並行して行なわれるステップであり、たとえば、ステップS 24とステップS 28は並行して行なわれる。

【0066】図12を参照して、まずステップS 21において、図11に示すステップS 1と同様にスタートアドレスの設定が行なわれる。次に、ステップS 22において、図11に示すステップS 2と同様に書込コマンドの設定およびクロックごとのデータの入力が行なわれる。

【0067】次に、ステップS 23において、ページアクセスを行なうため、アドレス・コマンドの設定が行なわれる。アドレス・コマンドの設定後、クロックに同期してデータが順次入力される。このとき、バンクBank 1では、ステップS 27において、スタートアドレスの設定が行なわれる。

【0068】次に、ステップS 24において、ブリチャージ動作が行なわれる。ブリチャージ後、次のページアクセスを行なう必要がない場合、処理を終了し、行なう場合は、ステップS 25へ移行する。また、ステップS 24と並行して、バンクBank 1では、ステップS 28において、書込コマンドの設定およびクロックごとのデータの入力が行なわれる。

【0069】次に、ステップS 29において、バンクBank 1において、アドレス・コマンドの設定が行なわれる。設定後、クロックに同期して順次データが入力され書込動作が行なわれる。このとき、バンクBank 0では、次のページアクセスを行なう場合、ステップS 25においてスタートアドレスの設定が行なわれる。

【0070】次に、ステップS 30において、バンクBank 1では、ブリチャージ動作が行なわれる。ブリチャージ動作終了後、次のページアクセスを行なう場合は、ステップS 27へ移行し、以降の処理を継続し、行なわない場合は処理を終了する。また、このとき、バンクBank 0では、ステップS 26において、書込コマンドの設定およびクロックごとのデータ入力が行なわれる。データ入力後、ステップS 23へ移行し、以降の処理が継続される。

【0071】以上のように、ページモードにおいても、ブリチャージ動作と並行して、書込コマンドの設定およびクロックごとのデータの入力処理が行なわれ、また、スタートアドレス設定と並行して、アドレス・コマンドの設定およびクロックごとのデータの入力が行なわれるので、高速に連続してデータをフレームバッファメモリに書込むことができ、データを高速に転送することが可能となる。

【0072】次に、本実施例による書込時間の短縮の効果について説明する。図13は、本実施例による書込時

間の短縮の効果を説明する図である。

【0073】図13を参照して、書込動作とブリチャージ動作とを並行して行なわない場合、書込みを行なうバンクに応じて、図13の(a)および(b)に示すように、書込サイクルWCの後にブリチャージサイクルPCが挿入される。したがって、書込時間は、ブリチャージサイクルPCが挿入されるたびに長くなる。一方、本実施例では、書込動作とブリチャージ動作とを並行して行なっているため、書込サイクルWCの間にブリチャージサイクルPCは挿入されず、図13の(c)に示すよう

になる。すなわち、ブリチャージサイクルの時間だけ書込時間が短縮され、この書込時間に併わせて画素データを転送することができるので、画素データを高速に転送することが可能となる。

【0074】また、本実施例では、常にデータの連続書込が可能のように、画像処理における処理単位を、2のべき乗のアドレス空間に格納でき、かつ、メモリのページサイズより小さいアドレス領域に収まるようにしている。すなわち、動画像符号化処理における処理単位の1つであるマクロブロックを、図7および図9に示す転送矩形領域TR1またはTR2と等しくしている。この結果、輝度信号に対しては、縦および横ともに16画素の領域、色差信号に対しては縦および横ともに8画素の領域、縦16画素および横8画素の領域、または縦および横ともに16画素の領域を処理単位としており、いずれの場合でも2のべき乗で表現することができる。したがって、通常2のべき乗で構成される汎用メモリのページアドレスに対して、本発明を適用することにより、同じバンクアドレスの2つの行アドレスに対して連続してアクセスすることがない。この結果、常にブリチャージ動作を書込動作と並行して行なうことができ、画素データの転送を高速に行なうことが可能となる。

【0075】また、上記実施例では、2つのバンクについて説明したが、3つ以上のバンクを備えるときでも、本発明を上記と同様に適用することができる。また、上記実施例ではフィールド画面について説明したが、フレーム画面の場合でも、本発明を上記と同様に適用することができる。

【0076】次に、図1に示すフレームバッファメモリの第3のアドレッシング方法について説明する。図14ないし図16は、図1に示すフレームバッファメモリの第3のアドレッシング方法を説明するための第1ないし第3の図である。

【0077】図14に示すアドレッシング方法では、1つの行アドレスおよび1つの列アドレスからなる1つのアドレスに対して画面の縦方向に並んだ4画素に対応する4つの画素データ(32ビットのデータ)を対応させている。図14中、データブロックT0~T15には、トップフィールドの画素データが格納されており、各データブロックには、Tmに示すように、4つのトップ

フィールドの画素データTFP0~TFP3が縦方向に並んで格納される。一方、データブロックB0~B15には、ボトムフィールドの画素データが格納されており、各データブロックB0~B15には、Bkに示すように4つのボトムフィールドの画素データBFP0~BFP3が格納されている。また、各データブロックT0~T15、B0~B15には、1つの行アドレスおよび1つの列アドレスからなる1つのアドレスが付与される。たとえば、データブロックT0は、行アドレスRA0および列アドレスCA0により特定され、データブロックB0は、行アドレスRAnおよび列アドレスCA0により特定される。

【0078】上記の第3のアドレッシング方法を用いたフレームバッファメモリでは、上記に説明した第1のアドレッシング方法と同様に、4つの画素データを格納したデータブロックごとに順次データを転送することができる。したがって、フレーム構成のデータを必要とする場合、データブロックT0~T7およびデータブロックB0~B7のデータを転送することにより、図15に示す画素データが転送される。この場合、フレーム構成に必要なトップフィールドの画素データおよびボトムフィールドの画素データがそれぞれ転送され、画像処理に必要なとされる領域と転送すべき領域とが一致している。一方、フィールド構成の画素データが必要な場合、たとえば、トップフィールドの画素データが必要な場合、データブロックT0~T15の画素データが転送され図16に示すようになる。このとき、転送される画素データは、トップフィールドの画素データのみであり、不必要なボトムフィールドの画素データは転送されない。すなわち、フィールド構成の画素データに対して所定の画像処理を行なう場合でも、処理に必要なとされる領域と転送すべき領域とが一致している。したがって、第3のアドレッシング方法によれば、フィールド構成およびフレーム構成ともに必要なデータのみを転送することができ、転送回数が削減され、データ転送を高速に行なうことができる。また、不必要なデータを転送する必要がないため、フレームバッファメモリの容量も必要最小限に抑えることができる。

【0079】上記のように、第3のアドレッシング方法では、縦に並んだ複数の画素データを1つのデータとして転送する場合、2つのフィールドに分割し、かつ、それぞれのフィールドのみで1つのデータ領域を構成するとともに、そのデータ領域のデータを転送することができるので、画像の構成(ストラクチャ)にかかわらず、必要とされる領域のみを転送することができ、画素データを高速に転送することが可能となる。

【0080】また、上記各アドレッシング方法では、画面の垂直方向に行アドレスを対応させ、水平方向に列アドレスを対応させたが、逆にした場合でも、本発明と同

10

20

30

40

50

様に適用することができる。

【0081】

【発明の効果】請求項1ないし請求項3記載の画像処理装置においては、フィールド画面の画素データを書込む際、複数のバンクのうち1つのバンクが書込動作にあるとき、他のバンクのプリチャージを行なうことができるので、書込動作とプリチャージ動作を並列に行なうことができ、画素データを高速に転送することが可能となる。

【0082】請求項4記載の画像処理装置においては、1つのアドレスが付与された複数の画素データを連続して書込む際、複数のバンクのうち1つのバンクが書込動作にあるとき、他のバンクのプリチャージを行なうことができるので、書込動作とプリチャージ動作を並列に行なうことができ、画素データを高速に転送することが可能となる。

【0083】請求項5および請求項6記載の画像処理装置においては、同一フィールド内の複数の画素データに1つのアドレスを付与し、フィールド単位でデータの転送を行なうことができるので、フレーム構成およびフィールド構成にかかわらず、高速に画素データを転送することができる。さらに、不必要な画素データを転送することがないため、転送された画素データを受けるメモリの容量を少なくすることが可能となる。

【図面の簡単な説明】

【図1】 本発明の一実施例の画像処理装置の構成を示すブロック図である。

【図2】 図1に示すフレームバッファメモリにおけるメモリセルアレイの基本構成図である。

【図3】 シンクロナスDRAMに用いたフレームバッファメモリのシステム構成図である。

【図4】 シンクロナスDRAMを用いたフレームバッファメモリのブロック図である。

【図5】 DRAMを用いたフレームバッファメモリのブロック図である。

10

20

*【図6】 図3に示すアドレス生成部のブロック図である。

【図7】 図1に示すフレームバッファメモリの第1のアドレッシング方法を説明するための図である。

【図8】 図7に示す転送矩形領域の拡大図である。

【図9】 図1に示すフレームバッファメモリの第2のアドレッシング方法を説明するための図である。

【図10】 図9に示す転送矩形領域の拡大図である。

【図11】 図1に示すフレームバッファメモリの第1の書込動作を説明するためのフローチャートである。

【図12】 図1に示すフレームバッファメモリの第2の書込動作を説明するためのフローチャートである。

【図13】 本実施例による書込時間の短縮の効果を説明する図である。

【図14】 図1に示すフレームバッファメモリの第3のアドレッシング方法を説明するための第1の図である。

【図15】 図1に示すフレームバッファメモリの第3のアドレッシング方法を説明するための第2の図である。

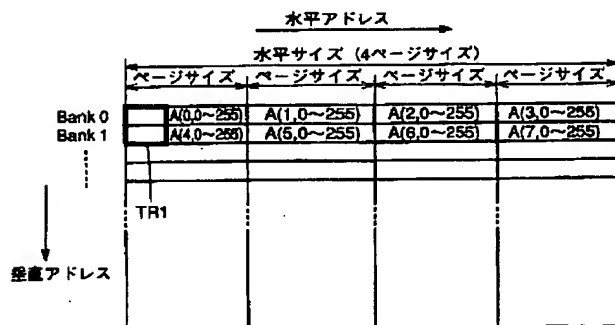
【図16】 図1に示すフレームバッファメモリの第3のアドレッシング方法を説明するための第3の図である。

【図17】 従来の画像処理装置のフレームバッファメモリのアドレッシングを説明するための画素データのレイアウト図である。

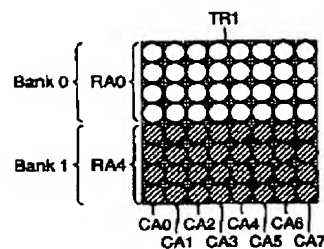
【符号の説明】

1 ホストインタフェース回路、2 バッファメモリ、3 ワークメモリ、4 入出力メモリ、5 コントロールユニット、6 ピクセルプロセッシングユニット、7 フレームバッファメモリ、8 ローカルメモリ、9 動き予測ユニット、10 画像処理装置、11 ホストコンピュータ、12 通信装置、13 テレビカメラ、14 表示装置。

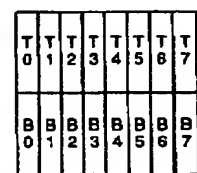
【図7】



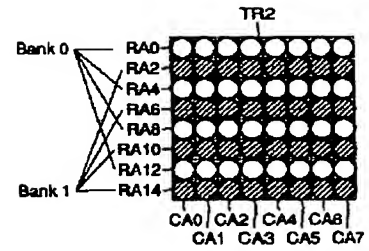
【図8】



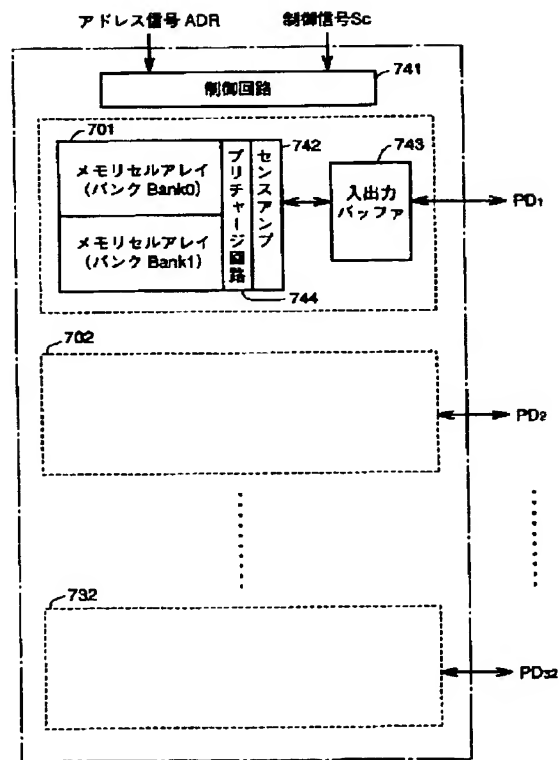
【図15】



【図 10】

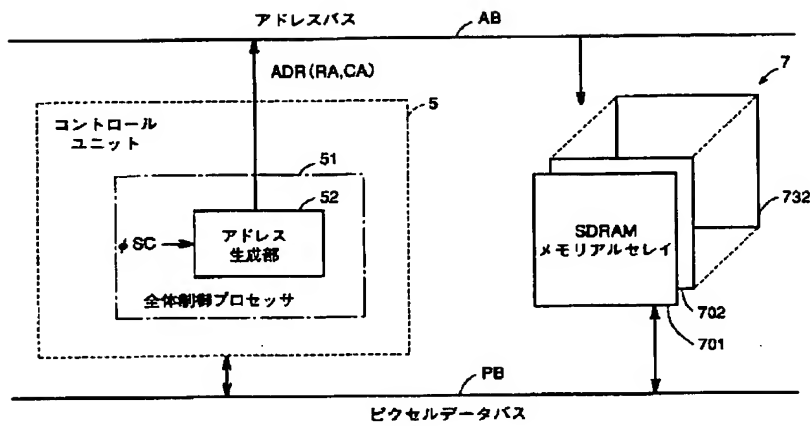


【図 4】

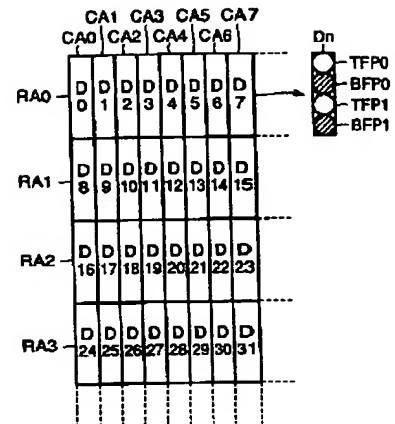


T 0	T 1	T 2	T 3	T 4	T 5	T 6	T 7
T 8	T 9	T 10	T 11	T 12	T 13	T 14	T 15

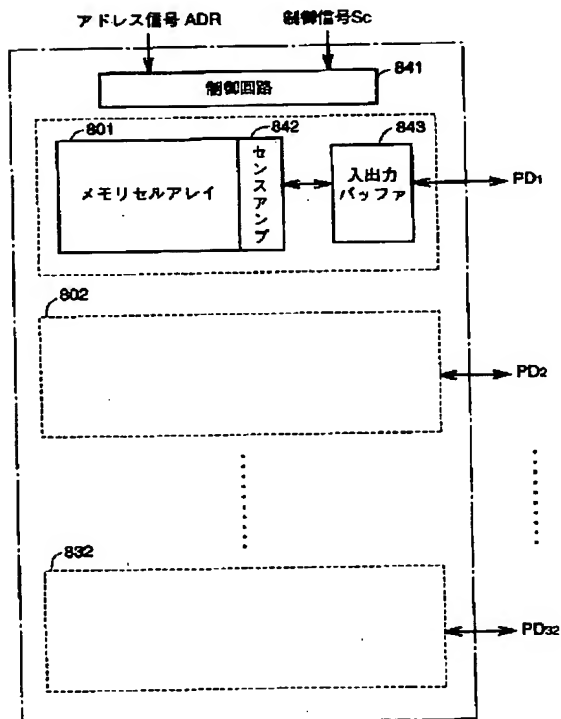
【図3】



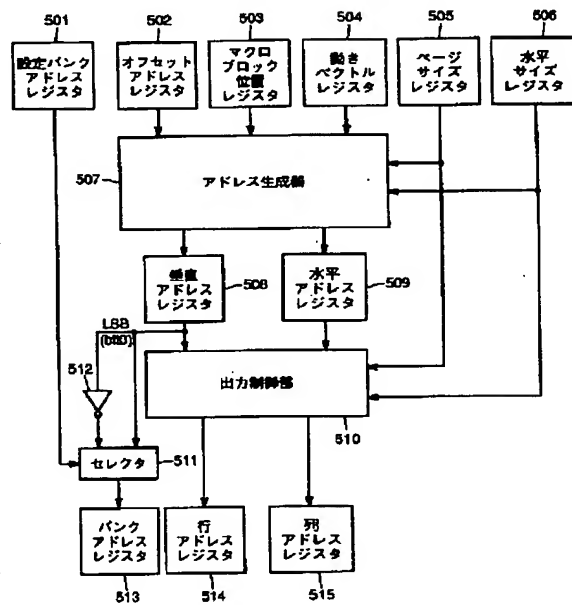
【図17】



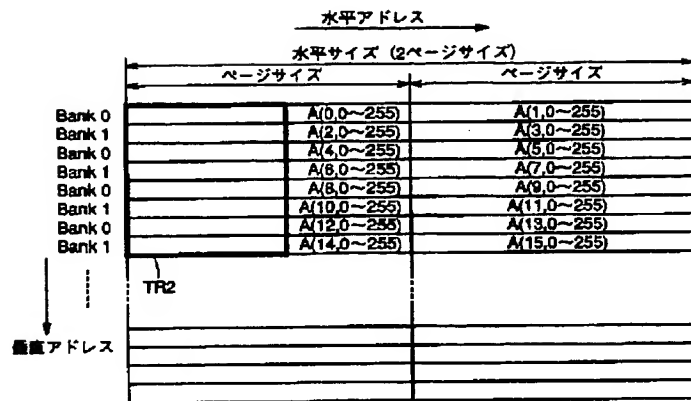
【図5】



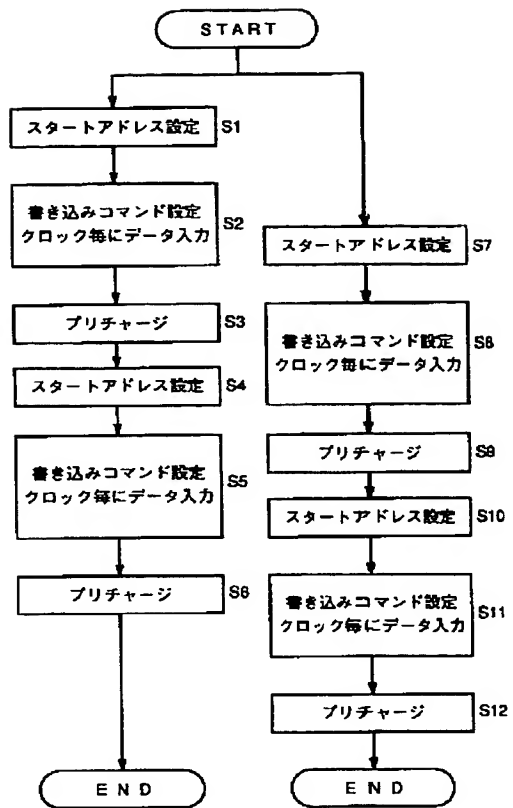
【図6】



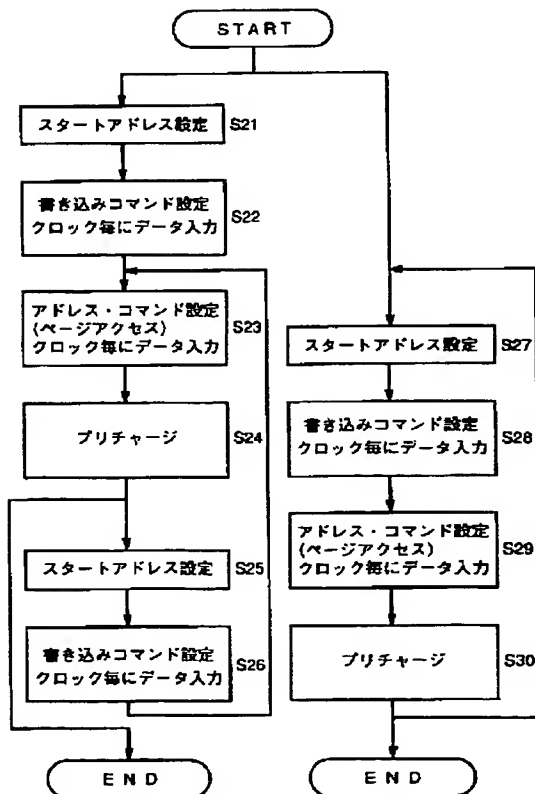
【図9】



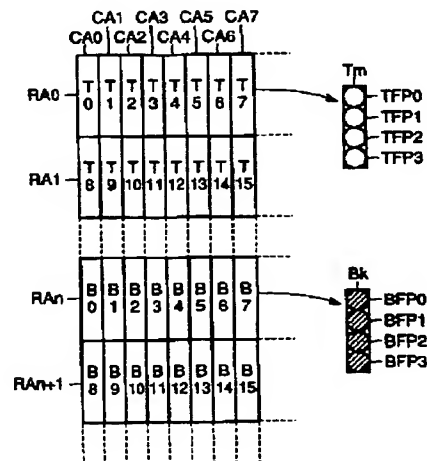
【図11】



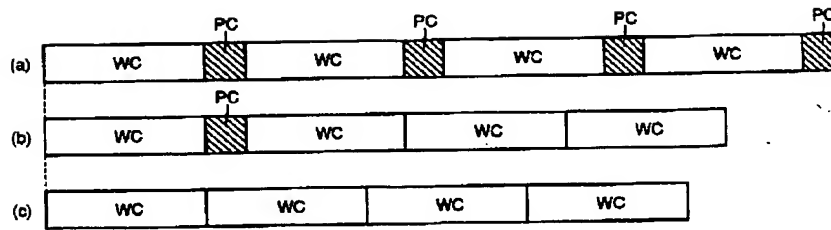
【図12】



【図14】



【図 13】



フロントページの続き

(72)発明者 松村 哲哉

兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社システムエル・エス・アイ開発研
究所内

(72)発明者 瀬川 浩

兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社システムエル・エス・アイ開発研
究所内

(72)発明者 石原 和哉

兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社システムエル・エス・アイ開発研
究所内

(72)発明者 熊木 哲

兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社システムエル・エス・アイ開発研
究所内

THIS PAGE BLANK (USPTO)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)